

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11330931 A**

(43) Date of publication of application: **30.11.99**

(51) Int. Cl.

**H03K 5/19**  
**G06F 1/04**

(21) Application number: **10135797**

(22) Date of filing: **18.05.98**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **EJIRI KEIGO**  
**KAWASE YUJI**

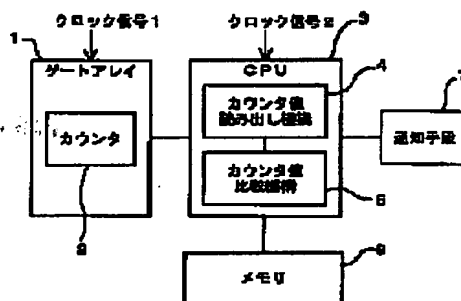
**(54) DEVICE AND METHOD FOR MONITORING  
CLOCK OPERATION OF CONTROL SYSTEM**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To enable a CPU to monitor abnormality of a clock signal operating a logic circuit without adding any clock for detection.

**SOLUTION:** This clock operation monitor device is equipped with a counter 2 with a state number (n) which is arranged in a logic circuit 1 operating with a detected clock signal having cycles  $T_1$ , a counter readout means 4 which is arranged in a logic circuit 3 operating with a clock signal other than the detected clock signal and reads the value of the counter 2 out in cycles  $T_2$  ( $T_1 < T_2 < T_1 \times n$ ), a counter value comparing means 5 which compares the value of the counter with a predicted value calculated on the basis of the last read value of the counter each time the counter is read, and a notifying means 7 which gives a notice of abnormality of the detected clock signal when it is judged that the value of the counter deviates from the predicted value.

COPYRIGHT: (C)1999,JPO



BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330931

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>6</sup>  
 H 0 3 K 5/19  
 G 0 6 F 1/04  
 識別記号  
 3 0 2

F I  
 H 0 3 K 5/19 L  
 G 0 6 F 1/04 3 0 2 Z

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平10-135797

(22) 出願日 平成10年(1998)5月18日

(71) 出願人 000002369

セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号

(72) 発明者 江尻 圭吾

長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内

(72) 発明者 川瀬 裕司

長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内

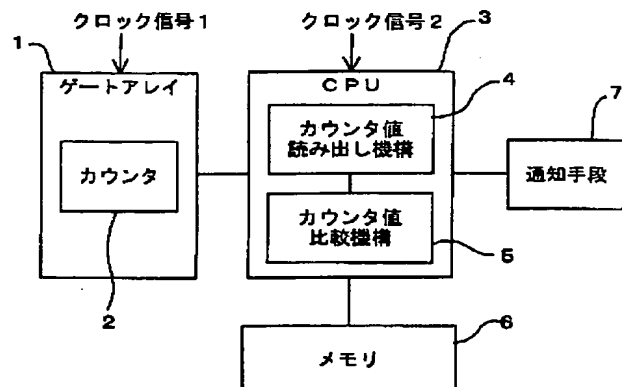
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 制御システムにおけるクロック動作監視装置及び方法

(57) 【要約】

【課題】 検出用クロックを追加することなく、CPUが論理回路を動作するクロック信号の異常を監視することができるようにする。

【解決手段】 本発明のクロック動作監視装置は、周期T1の被検出クロック信号によって動作する論理回路1内に備えられた状態数nのカウンタ2と、被検出クロック信号以外のクロック信号によって動作する論理回路3内に備えられ、カウンタ2の値を周期T2（但し、 $T1 < T2 < T1 \times n$ ）で読み出すカウンタ読み出し手段4と、カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較するカウンタ値比較手段5と、カウンタの値が前記予測値から外れていると判断された場合に、前記被検出クロック信号が異常であることを通知する通知手段7を備える。



## 【特許請求の範囲】

- 【請求項1】 異なるクロック信号によって動作する複数の論理回路を備えた制御システムにおけるクロック動作監視装置において、  
 周期 $T_1$ の被検出クロック信号によって動作する前記論理回路内に備えられた状態数 $n$ のカウントと、  
 前記被検出クロック信号以外のクロック信号によって動作する前記論理回路内に備えられ、前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出すカウンタ読み出し手段と、  
 前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出されるカウンタの値の予測値とを比較するカウンタ値比較手段と、  
 前記比較の結果、前記カウンタの値が前記予測値から外れていると判断された場合に、前記被検出クロック信号が異常であることを通知する通知手段と、を備えたことを特徴とするクロック動作監視装置。
- 【請求項2】 前記カウンタ読み出し手段を備えた論理回路を備えた制御システムにおいて前記カウンタ値比較手段を実現することを特徴とする請求項1記載のクロック動作監視装置
- 【請求項3】 前記予測値が、 $V_{pre} + (T_2 / T_1)$ （但し、 $V_{pre}$ は、直前に読み出したカウンタの値）に基いて与えられるものであることを特徴とする請求項1又は2記載のクロック動作監視装置。
- 【請求項4】 異なるクロック信号によって動作する3以上の論理回路を備えた制御システムにおけるクロック動作監視装置において、  
 前記各論理回路内に備えられた状態数 $n$ のカウントと、  
 前記各論理回路内に備えられ、周期 $T_1$ の他の論理回路内の前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出すカウンタ読み出し手段と、  
 前記各論理回路内に備えられ、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出されるカウンタの値の予測値とを比較するカウンタ値比較手段と、  
 前記複数のカウンタ値比較手段による比較の結果から、クロック信号が異常である論理回路を特定する監視手段と、  
 前記監視手段により特定された論理回路のクロック信号が異常であることを通知する通知手段と、を備えたことを特徴とするクロック動作監視装置。
- 【請求項5】 前記予測値が、 $V_{pre} + (T_2 / T_1)$ （但し、 $V_{pre}$ は、直前に読み出したカウンタの値）に基いて与えられるものであることを特徴とする請求項4記載のクロック動作監視装置。
- 【請求項6】 異なるクロック信号によって動作する複数の論理回路を備えた制御システムにおけるクロック動作監視方法において、  
 周期 $T_1$ の被検出クロック信号によって動作する前記論

- 理回路内に備えられた状態数 $n$ のカウントを動作させる工程と、  
 前記被検出クロック信号以外のクロック信号によって前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出す工程と、  
 前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出されるカウンタの値の予測値とを比較する工程と、  
 前記比較の結果、前記カウンタの値が前記予測値から外れていると判断された場合に、前記被検出クロック信号が異常であることを通知する工程と、  
 を備えたことを特徴とするクロック動作監視方法。
- 【請求項7】 異なるクロック信号によって動作する3以上の論理回路を備えた制御システムにおけるクロック動作監視方法において、  
 前記各論理回路内に備えられた状態数 $n$ のカウントを動作させる工程と、  
 一の論理回路内から、周期 $T_1$ の他の論理回路内の前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出す工程と、  
 前記各論理回路内において、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較する工程と、  
 前記複数の論理回路における比較の結果から、クロック信号が異常である論理回路を特定する工程と、  
 前記特定された論理回路のクロック信号が異常であることを通知する工程と、を備えたことを特徴とするクロック動作監視方法。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】本発明は、異なるクロック信号によって動作するCPUを含む複数の論理回路を備えた制御システムにおけるクロック動作監視装置に関する。
- 【0002】
- 【従来の技術】従来の論理回路においては、論理回路を動作させるクロックの停止検出回路として、一般的に単安定マルチバイブレータが備えられている。単安定マルチバイブレータでは、その出力レベルが所定のレベルから遷移したことをもってクロック信号入力が停止したことを検出する。しかし、単安定マルチバイブレータを用いた場合、回路の外部にコンデンサ、抵抗器等の論理素子以外の素子を使用する必要があるため、ゲートアレイ等の論理素子を用いた集積回路には使用できないという問題がある。
- 【0003】この問題を解決するものとして、特開平5-22032号公報及び特開平6-85628号公報に示す例がある。これらの例では、被検出クロック信号の発振停止を、他の検出用クロック信号を用いて検出している。

## 【0004】

【発明が解決しようとする課題】一方、CPU等を含む複数の論理回路によって構成される制御システムにおいては、一般的にそれぞれ独立したクロック信号を各論理回路に印加する手法が用いられている。このような独立したクロック信号で動作するCPU及び論理回路を備える制御システムにおいても、前記従来の方法により論理回路のクロック信号の発振停止を検出するためには、専用の検出クロックが必要となる。

【0005】そこで本発明の目的は、CPUがデジタル論理回路を動作させるクロック信号の異常を監視することができるよう構成し、従来技術のように検出用のクロックを増加することなく、前記制御システムにおいて論理回路のクロックの異常を検出することにある。

【0006】本発明の別の目的は、独立したクロック信号でそれぞれ動作する3以上の論理回路で構成される制御システムにおいても、検出用のクロックを増加することなく、相互にクロック信号の異常を監視することができるようすることにある。

## 【0007】

【課題を解決するための手段】本発明は、異なるクロック信号によって動作する複数の論理回路を備えた制御システムにおけるクロック動作監視装置に関する。本発明のクロック動作監視装置は、周期 $T_1$ の被検出クロック信号によって動作する前記論理回路内に備えられた状態数 $n$ のカウントと、前記被検出クロック信号以外のクロック信号によって動作する前記論理回路内に備えられ、前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出すカウンタ読み出し手段と、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較するカウンタ値比較手段と、前記比較の結果、前記カウンタの値が前記予測値から外れていると判断された場合に、前記被検出クロック信号が異常であることを通知する通知手段とを備えて構成される。前記構成において制御システムは、論理回路を動作させるクロック以外にクロックを生成する必要がない。

【0008】ここで、前記カウンタ読み出し手段を備えた論理回路をCPUで構成し、該CPUにおいて前記カウンタ値比較手段を実現することが好ましい。

【0009】また、前記予測値は、 $V_{pre} + (T_2 / T_1)$ （但し、 $V_{pre}$ は、直前に読み出したカウンタの値）に基いて与えられることが好ましい。

【0010】本発明はまた、異なるクロック信号によって動作する3以上の論理回路を備えた制御システムにおけるクロック動作監視装置に関する。本発明のクロック動作監視装置は、前記各論理回路内に備えられた状態数 $n$ のカウントと、前記各論理回路内に備えられ、周期 $T_1$ の他の論理回路内の前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出すカウンタ読み出

し手段と、前記各論理回路内に備えられ、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較するカウンタ値比較手段と、前記複数のカウンタ値比較手段による比較の結果から、クロック信号が異常である論理回路を特定する監視手段と、前記監視手段により特定された論理回路のクロック信号が異常であることを通知する通知手段とを備えて構成される。

【0011】前記構成において各論理回路は相互に他の論理回路のクロック信号の異常を検出するので、1の論理回路に対して複数の論理回路がクロック信号の異常を検出することとなり、その信頼性は高いものとなる。

【0012】本発明は更に、異なるクロック信号によって動作する複数の論理回路を備えた制御システムにおけるクロック動作監視方法に関する。本発明のクロック動作監視方法は、周期 $T_1$ の被検出クロック信号によって動作する前記論理回路内に備えられた状態数 $n$ のカウントを動作させる工程と、前記被検出クロック信号以外のクロック信号によって前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出す工程と、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較する工程と、前記比較の結果、前記カウンタの値が前記予測値から外れていると判断された場合に、前記被検出クロック信号が異常であることを通知する工程とを備えて構成される。

【0013】また、本発明は、異なるクロック信号によって動作する3以上の論理回路を備えた制御システムにおけるクロック動作監視方法に関する。本発明のクロック動作監視方法は、前記各論理回路内に備えられた状態数 $n$ のカウントを動作させる工程と、一の論理回路内から、周期 $T_1$ の他の論理回路内の前記カウンタの値を周期 $T_2$ （但し、 $T_1 < T_2 < T_1 \times n$ ）で読み出す工程と、前記各論理回路内において、前記カウンタの読み出し毎に、該カウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較する工程と、前記複数の論理回路における比較の結果から、クロック信号が異常である論理回路を特定する工程と、前記特定された論理回路のクロック信号が異常であることを通知する工程とを備えて構成される。

## 【0014】

【発明の実施の形態】以下、本発明の一実施形態を図面を用いて説明する。図1は、本発明の一実施形態に係る構成図である。本実施形態においては、CPUと論理回路としてのゲートアレイを備えた制御システムにおいて、本発明に係るクロック動作監視装置を用いた例を示している。ゲートアレイ1は、周期 $T_1$ 時間のクロック信号1によって動作する同期式論理回路である。ゲートアレイ1の内部には、状態数 $n$ （例えば、 $0 \sim n-1$ ）のカウント2が形成されている。カウンタ2は前記ク

ロック信号1によって動作し、クロック信号1の低位レベルから高位レベルへの遷移によって、カウンタの値を一定の順序をもって繰り返し遷移する。すなわち、クロック信号1の1周期で、カウンタ値は1変化される。なお、分周回路等を設けて、クロック信号1の周期 $\times n$  ( $n$ は整数)を、 $T1$ としても良い。

【0015】CPU3は、カウンタ値読み出し機構4及びカウンタ値比較機構5を備えている。カウンタ値読み出し機構4は、前記ゲートアレイ1内のカウンタ2の値を所定の時間間隔 $T2$ で読み取る。時間間隔 $T2$ はCPU3の動作クロック信号2に基いている。すなわち、分周回路により、時間間隔 $T2$ をクロック信号2の周期の $n$ 倍 ( $n$ は整数)とすることができる。ここで読み出し時間間隔 $T2$ は、カウンタ2を動作させるクロック信号1の周期 $T1$ よりも長く、またカウンタ2が1周期する時間 ( $T1 \times n$ ) よりも短く設定される。すなわち、読み出し時間間隔 $T2$ は、下記条件(1)に従う。

【0016】

$$T1 < T2 < T1 \times n \quad (1)$$

カウンタ値読み出し機構4によって読み出されたカウンタの値は、順次メモリ6に記憶される。カウンタ値比較機構5は、前記カウンタの読み出し毎に、該読み出されたカウンタの値と、直前に読み出したカウンタの値に基いて算出される予測値とを比較するものである。ここで、カウンタの予測値 $V_{next}$ は、次の式(2)で与えられる。

【0017】

$$V_{next} = V_{pre} + (T2/T1) \quad (2)$$

ここで、 $V_{pre}$ は直前に読み出したカウンタの値、 $T1$ はクロック信号1の周期、 $T2$ はクロック信号2の周期である。予測値の算出に用いられる $T1$ 、 $T2$ は、予めメモリ6、ゲートアレイ1その他の記憶領域に記憶させておく。これに、クロック信号2の周期誤差等の読み取り誤差 $V_{err}$ を考慮して、実際に読み出したカウンタ値 $V$ と比較する。すなわち、下式(3)が満足される場合、クロック信号1が正常であると判断する。

【0018】

$$V = V_{next} \pm V_{err} \quad (3)$$

カウンタ値比較機構5は、比較の結果、式(3)が満足されない場合、クロック信号1が異常であるとして、通知手段7を起動する信号を出力する。通知手段7は、LEDやブザー等で構成され、前記信号を受けて使用者にクロック信号1の異常を通知する。

【0019】図2に、クロック信号1の異常検出のフローチャートを示す。図2に示すクロック信号1の異常検出の処理ルーチンは、一定の時間間隔 $T2$ 毎に発生される。これは、CPU3に具備されたタイマ割り込み機能等を用いて実現することができる。

【0020】工程201で、CPU3のカウンタ値読み出し機構4は、周期 $T2$ 毎にカウンタ2の値 $V$ を取得す

る。次いで、カウンタ値比較機構5は、直前に取得したカウンタ値 $V_{pre}$ をメモリ6から読み出し、式(2)に基いて予測値 $V_{next}$ を算出する(202)。そして誤差 $V_{err}$ を考慮して、取得したカウンタ値 $V$ と予測値 $V_{next}$ と比較する(203)。比較の結果、前記式(3)が成立しない場合、クロック信号1が異常であるとしてこれを通知する(204)。また、工程203で、前記式(3)が成立する場合は、クロック信号1が正常であるとして、処理を終了する。以上の動作を時間間隔 $T2$ 毎に行うことにより、常時クロック信号1の動作が監視される。

【0021】図3は、3つの論理回路を備えた制御システムにおいて、本発明のクロック信号動作監視装置を採用した例を示している。本実施形態において制御システムは、論理回路としての3つのゲートアレイ30A、30B及び30Cを備えている。各ゲートアレイ30は、それぞれクロック信号1〜3(周期 $T_a$ 、 $T_b$ 、 $T_c$ )で動作される。各ゲートアレイ30は、それぞれカウンタ31、カウンタ値読み出し機構32及びカウンタ値比較機構33を備えている。一のゲートアレイ30におけるカウンタ値読み出し機構32は、残りのゲートアレイのカウンタの値を読み出し、カウンタ値比較機構33へ渡す。すなわち、ゲートアレイ30Aのカウンタ値読み出し機構32Aは、カウンタ31B及びカウンタ31Cの値を読み出す。ゲートアレイ30Bのカウンタ値読み出し機構32Bは、カウンタ31A及びカウンタ31Cの値を読み出す。同様に、ゲートアレイ30Cのカウンタ値読み出し機構32Cは、カウンタ31A及びカウンタ31Bの値を読み出す。

【0022】各カウンタ値読み出し機構32における読み出しの時間間隔 $T2$ は、前記実施形態における式(1)に従う。ここで、 $T1$ は、被検出クロック信号の周期である。例えば、ゲートアレイ30Aのカウンタ値読み出し機構32A、又はゲートアレイ30Cのカウンタ値読み出し機構32Cが、ゲートアレイ30Bのカウンタ31Bの値を読み出す時間間隔 $T2$ は、下式になる。

$$T_b < T2 < T_b \times n$$

各カウンタ値比較機構33は、直前に読み出したカウンタ値 $V_{pre}$ 、被検出クロック信号の周期 $T1$ 及び読み出し時間間隔 $T2$ に基いて、カウンタ値の予測値 $V_{next}$ を算出し、実際に読み出したカウンタ値 $V$ と比較する。予測値 $V_{next}$ の算出は、前記式(2)に基き、また予測値 $V_{next}$ とカウンタ値 $V$ との比較は、前記式(3)に基づく。各カウンタ値読み出し機構32は、2つのカウンタ値を取得するので、各カウンタ値比較機構33においては、2つの比較結果が得られる。

【0024】クロック監視機構34は、各カウンタ値比較機構33で得られた比較結果に基いて、どのゲートアレイのクロック信号が異常状態にあるか判断する。例え

ば、ゲートアレイ30Cのクロック信号3が異常である場合、カウンタ値比較機構33A及び33Bは、クロック信号3が異常であることを通知し、カウンタ値比較機構33Cは、それ自身のクロック信号3が異常であるため、クロック信号1及び2が異常であることを通知する。これより、クロック監視機構34は、クロック信号3が異常であると判断することができる。使用者に対するクロック信号の異常の通知は、LEDやブザー等で構成される通知手段35によって行われる。

【0025】以上、本発明の一実施形態を図面に沿って説明したが、本発明は前記実施形態において示された事項に限定されず、特許請求の範囲及び発明の詳細な説明の記載、並びに周知の技術に基づいて、当業者がその変更・応用を行うことができる範囲が含まれる。前記実施形態においては、2及び3の論理回路を含む制御システムにおける本発明の実施形態を示したが、本発明は更に多くの論理回路を含む制御システムにおいて採用することができる。本発明においてはそれが採用される制御システムを限定せず、複数の論理回路を備えた各種の制御システムが対象とされる。プリンタ装置、POS端末、携帯型情報端末などは、本発明のクロック動作監視装置を備えた制御システムの一例である。

【0026】

【発明の効果】以上述べたように本発明によれば、複数の論理回路を備える制御システムにおいて、論理回路に印加されるクロック信号を増加させることなく、クロック信号の異常を検出することが可能となる。

【0027】また本発明は、独立したクロック信号でそれぞれ動作する3以上の論理回路で構成される制御システムにおいても、検出用のクロックを増加することなく、相互にクロック信号の異常を監視することができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る構成図である。

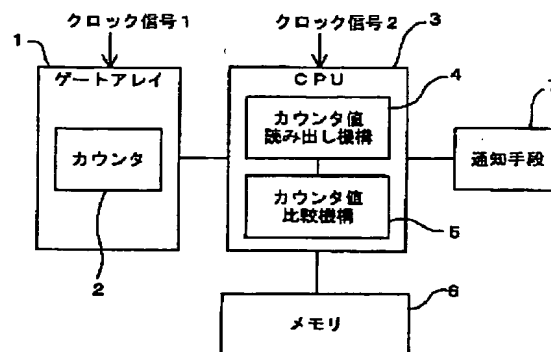
【図2】図1においてクロック信号1の異常を検出するためのフローチャートである。

【図3】3つの論理回路を備えた制御システムにおいて本発明のクロック信号動作監視装置を採用した例を示す構成図である。

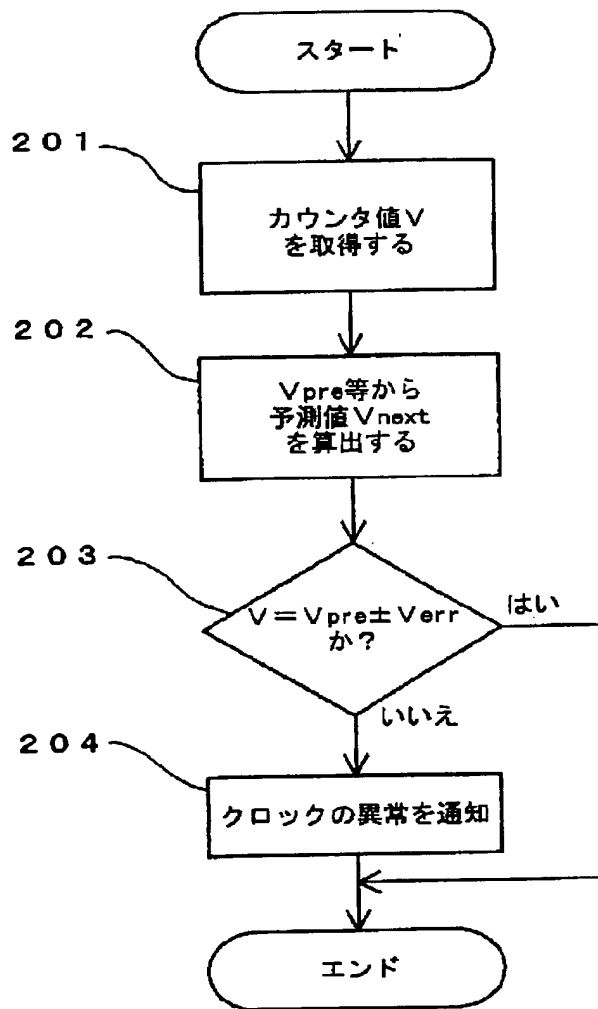
【符号の説明】

- 1 ■ゲートアレイ
- 2 ■カウンタ
- 3 ■CPU
- 4 ■カウンタ値読み出し機構
- 5 ■カウンタ値比較機構
- 5 ■カウンタ値比較手段
- 6 ■メモリ
- 7 ■通知手段
- 30 ■ゲートアレイ
- 31 ■カウンタ
- 32 ■カウンタ値読み出し機構
- 33 ■カウンタ値比較機構
- 34 ■クロック監視機構
- 35 ■通知手段

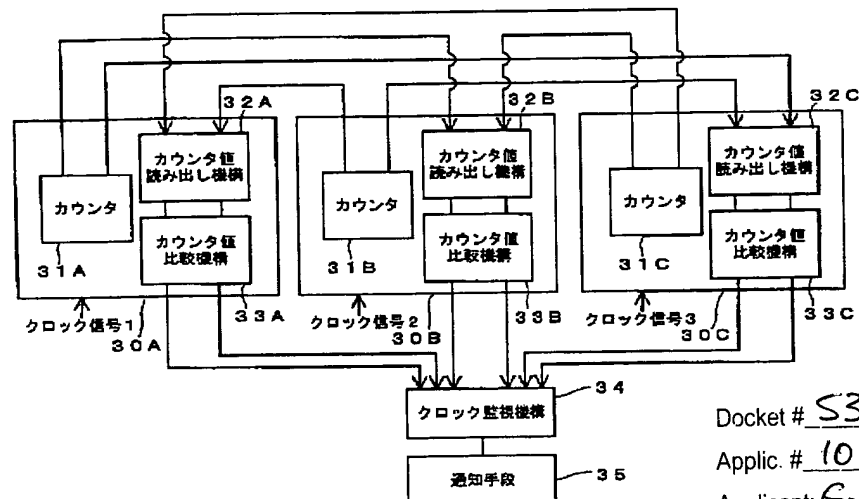
【図1】



【図2】



【図3】



Docket # S3-02P14830  
 Applic. # 10/535,126  
 Applicant: Graphoff et al.

Lerner and Greenberg, P.A.  
 Post Office Box 2480  
 Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101